

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-188967
 (43)Date of publication of application : 22.08.1986

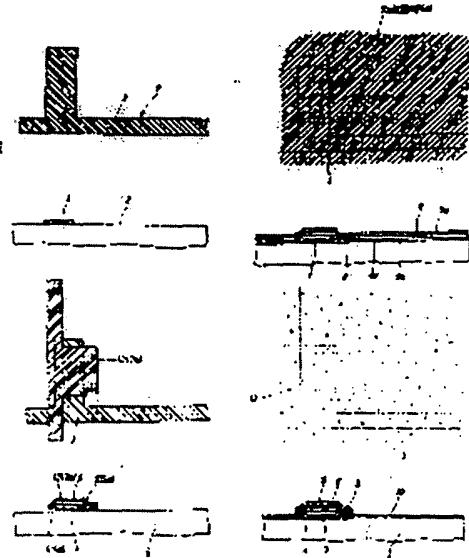
(51)Int.CI. H01L 29/78
 // G09F 9/35
 H01L 27/12

(21)Application number : 60-029134 (71)Applicant : SHARP CORP
 (22)Date of filing : 15.02.1985 (72)Inventor : HISHIDA TADANORI
 KATO HIROAKI
 KISHI KOHEI

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To prevent a source electrode from improperly disconnecting and to shorten the photoetching step by superposing a transparent conductive film as a picture element electrode on the surface of the source and drain electrodes. CONSTITUTION: A thin metal film of Ta or Al is formed on the entire surface of an insulating substrate 2, patterned by photoetching to form a gate electrode 3. An Si₃N₄ film 4a to become a gate insulating film 4 is formed on the entire surface of the substrate 2 which contains the electrode 3, an amorphous Si film 5a to become a semiconductor film 5 and further thin metal film 7a to become N⁺ type amorphous Si film 6, a source electrode 7 and a drain electrode 8 are respectively formed. Then, a transparent conductive film (In₂O₃) 10 to become a picture element electrode 9 is formed on the entire surface of the substrate 2 which contains source and drain electrode pattern 13. Then, a photoresist is coated on the entire surface of the film 10, and a photoresist 11 is patterned in the pattern of the electrodes 7, 8 and 9 with one photomask.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭61-188967

⑤Int.Cl. ¹ H 01 L 29/78 // G 09 F 9/35 H 01 L 27/12	識別記号 8422-5F 6810-5C	庁内整理番号 8422-5F 6810-5C	⑥公開 昭和61年(1986)8月22日 審査請求 未請求 発明の数 1 (全4頁)
---	----------------------------	------------------------------	---

⑦発明の名称 薄膜トランジスタ

⑧特願 昭60-29134
 ⑨出願 昭60(1985)2月15日

⑩発明者 萩田 忠則 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑪発明者 加藤 博章 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑫発明者 岸 幸平 大阪市阿倍野区長池町22番22号 シャープ株式会社内
 ⑬出願人 シャープ株式会社 大阪市阿倍野区長池町22番22号
 ⑭代理人 弁理士 倉内 義朗 外1名

明細書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1) 絶縁性基板上に、ゲート電極、ゲート絶縁膜、半導体膜、金属薄膜が順次積層されるとともに、この金属薄膜がソース電極およびドレイン電極に形成されたものにおいて、

前記ソース電極およびドレイン電極の面上に絶縁電極を兼ねる透明導電膜が重ねて形成されていることを特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、液晶ディスプレイ装置に適用される薄膜トランジスタに関するものである。

(従来の技術)

薄膜トランジスタの従来構造の一例を第6図(a)に示す。

図面において、aは絶縁性基板、bはゲート電

極、cはゲート絶縁膜、dは半導体膜、eはn+アモルファスSi膜、fはソース電極、gはドレイン電極、hは絶縁電極、iはチャンネル開口部である。絶縁電極hはドレイン電極gの上面の一部を覆うように形成されている。

この薄膜トランジスタの構造は、半導体膜dがチャンネル開口部iを除いてソース電極fおよびドレイン電極gと同じパターンであるため、ストレー容量を最小限に押えることができるとともに、半導体膜dとソース電極fおよびドレイン電極gとの接触部分を、製造工程において発生する汚染から保護することができるという利点がある。

しかしながら、表示パネルの解像度を向上させるためには絶縁電極を増加する必要があり、必然的にソース電極幅fの短縮化が要求される。

この場合、ソースバスラインの抵抗の増加を押えるとともに、表示パネルの製造の歩留りを向上させるため、ソース電極fの断線対策および製造工程の簡素化が必要である。

(発明の目的)

本発明は、ソース電極の断線不良を防止するとともに、ホトエッチング工程の短縮化を図り、安定で特性の優れた新規構造の薄膜トランジスタを提供することを目的としている。

(発明の構成)

本発明の薄膜トランジスタは、絶縁性基板上に、ゲート電極、ゲート絶縁膜、半導体膜、金属薄膜が順次積層されるとともに、この金属薄膜がソース電極およびドレイン電極に形成されたものにおいて、前記ソース電極およびドレイン電極の面上に絵素電極を兼ねる透明導電膜が重ねて形成されてなるものである。

(作用)

ソース電極およびドレイン電極が金属薄膜と透明導電膜の二層構造になるとともに、ソース電極、ドレイン電極、および絵素電極が同じホトエッチング工程によって同時にパターン化される。

(実施例)

第1図(a)(b)は本発明にかかる薄膜トランジスタの構造を示している。

Si膜6、およびソース電極7、ドレイン電極8となる金属薄膜7aをプラズマCVDもしくはスパッタリングによりそれぞれ形成する(第3図(a)(b)参照)。

③ 次に、金属薄膜7a、n'-アモルファスSi膜6、アモルファスSi膜5a、Si₃N₄膜4aを上層部から連続してエッチングし、金属薄膜7aをチャンネル開口部12(第1図(a)参照)がまだ形成されていないソース・ドレイン電極パターン13に形成する(第4図(a)(b)参照)。

④ 次に、ソース・ドレイン電極パターン13を含む絶縁性基板2の全面に、絵素電極9となる透明導電膜(1n₂O₅)10をスパッタリングもしくは電子ビーム蒸着により形成する(第5図(a)(b)参照)。その後、透明導電膜10の全面にホトレジストを塗布し、一枚のホトマスクで、ソース電極7、ドレイン電極8、および絵素電極9のパターンにホトレジスト11をパターン化し、つづいて透明導電膜10、ソース・ドレイン電極パターン13、n'-アモルファスSi

この薄膜トランジスタ1は、絵素電極9を兼ねる透明導電膜10が、ソース電極7およびドレイン電極8の全面に形成されたもので、その他の構造は前記した従来構造と同様である。すなわち、2は絶縁性基板、3はゲート電極、4はゲート絶縁膜、5は半導体膜(アモルファスSi膜)、6はn'-アモルファスSi膜である。

次に、第2図(a)(b)～第5図(a)(b)を参照して前記した薄膜トランジスタ1の製造工程を説明する。

① ガラス基板等からなる絶縁性基板2の全面にスパッタリングもしくは電子ビーム蒸着によりTaもしくはAl等の金属薄膜を形成し、ホトエッチングによりパターン化してゲート電極3を形成する(第2図(a)(b)参照)。

② 次に、このゲート電極3を含む絶縁性基板2の全面に、ゲート絶縁膜4となるSi₃N₄膜4aをプラズマCVDにより1000Åの厚みに形成し、続いて、半導体膜5となるアモルファスSi膜5aをプラズマCVDにより1500Åの厚みに形成し、さらに、n'-アモルファス

膜6の順にそれぞれエッチングして、第1図(a)(b)に示す構造の薄膜トランジスタ1を形成する。

(発明の効果)

以上説明したように、本発明の薄膜トランジスタによれば、ソース電極およびドレイン電極の全面に形成される透明導電膜と絵素電極となる透明導電膜を同時にパターン化することができるので、従来四枚必要であったホトマスクを三枚に減らすことができる。また、ソース電極が金属薄膜と透明導電膜の二層構造になるので、ソース電極の断線が減少し、薄膜トランジスタの歩留りを向上することができる。

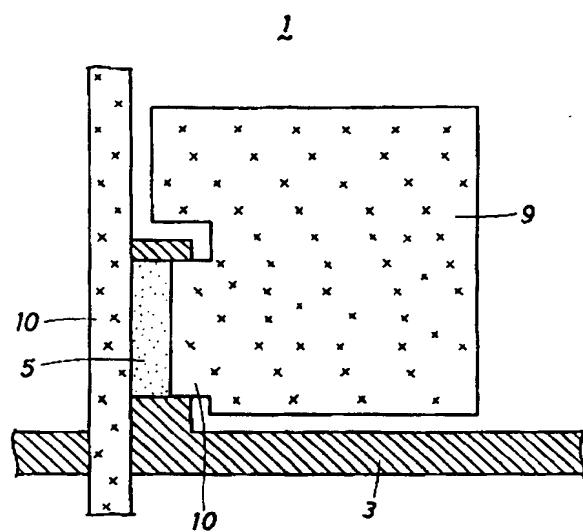
4. 図面の簡単な説明

第1図(a)(b)は本発明の薄膜トランジスタの平面図および縦断面図、第2図(a)(b)～第5図(a)(b)は第1図(a)(b)に示す薄膜トランジスタの製造工程を説明する工程図で、第2図(a)、第3図(a)、第4図(a)、第5図(a)は平面図、第2図(b)、第3図(b)、第4図(b)、第5図(b)は縦断面図、第6図(a)(b)は従来の薄膜トランジスタの平面図および縦断面図である。

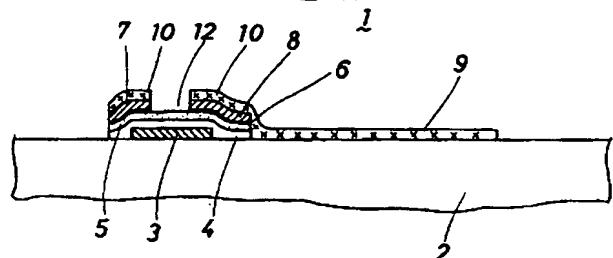
1 … 薄膜トランジスタ 5 … 半導体膜
 6 … n+ - アモルファス Si 膜
 7 … ソース電極 7a … 金属薄膜
 8 … ドレイン電極 9 … 紫素電極
 10 … 透明導電膜

出願人 シャープ株式会社
 代理人 弁理士 倉内 義郎
 ほか 1 名

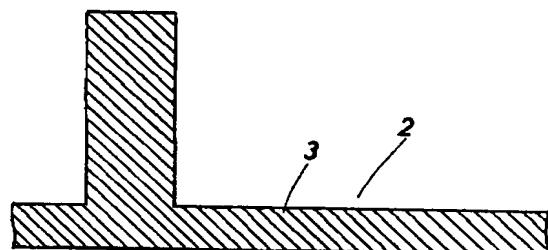
第 1 図 (a)



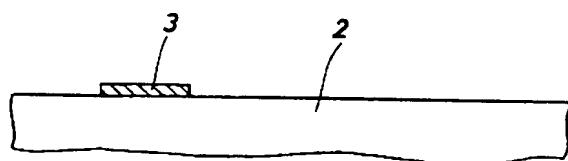
第 1 図 (b)



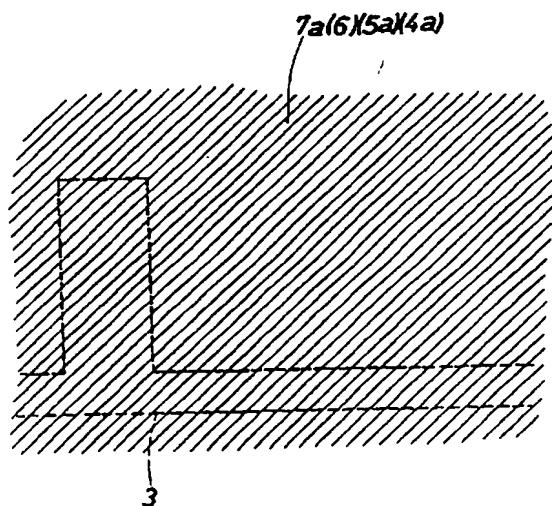
第 2 図 (a)



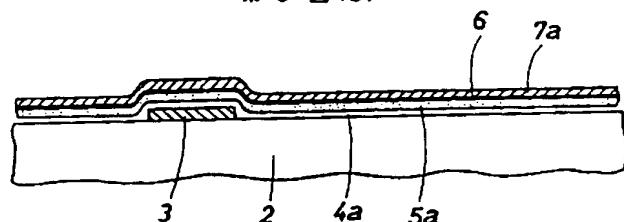
第 2 図 (b)



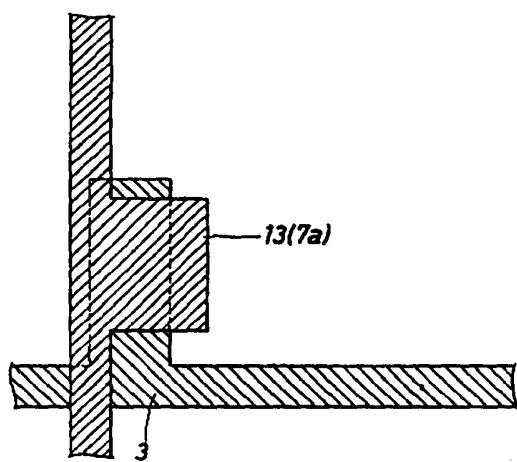
第 3 図 (a)



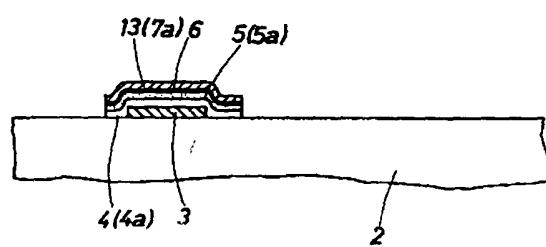
第 3 図 (b)



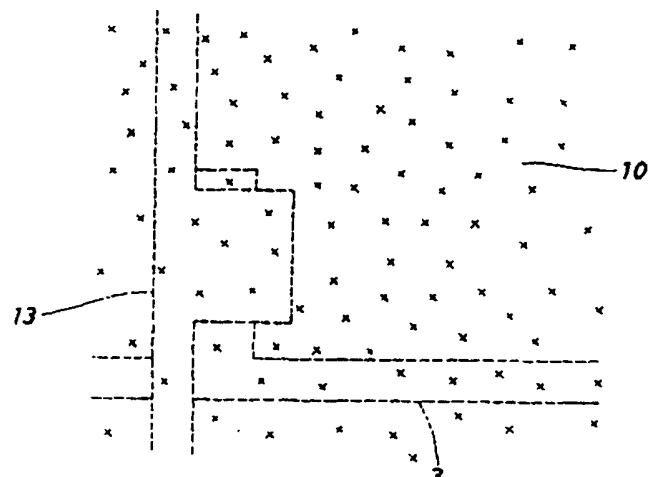
第4図(a)



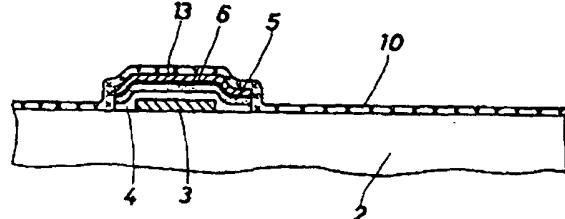
第4図(b)



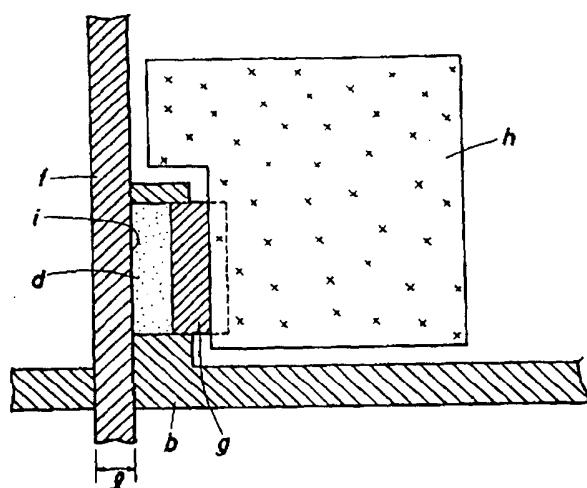
第5図(a)



第5図(b)



第6図(a)



第6図(b)

